

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

13 PAGE BLANK (USPTO)



EXPRESS MAIL NO.: EL755723152US

#4 11-13-01 main

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 26 MARS 2001

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

BEST AVAILABLE COPY

Martine PLANCHE

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)
BEST AVAILABLE COPY



INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE
26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION
CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle-Livre VI



REQUÊTE EN DÉLIVRANCE 1/2

Réservé à L'INPI

Cet imprimé est à remplir lisiblement à l'encre noire

REMISE DES PIÈCES DATE 31 MARS 2000 LIEU 38 INPI GRENOBLE N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI 0004174 DATE DE DÉPÔT ATTRIBUÉE 31 MARS 2000 PAR L'INPI		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Cabinet Michel de Beaumont 1 rue Champollion 38000 GRENOBLE	
Vos références pour ce dossier (facultatif) B4611			
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de Brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale ou demande de certificat d'utilité initiale		N° Date / /	
Transformation d'une demande de brevet européen		N° Date / /	
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) TRANSISTOR MOS DANS UN CIRCUIT INTÉGRÉ ET PROCÉDÉ DE FORMATION DE ZONE ACTIVE			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date N° Pays ou organisation N° Date / / Pays ou organisation N° Date / / <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé "Suite"	
5 DEMANDEUR		<input checked="" type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé "Suite"	
Nom ou dénomination sociale STMicroelectronics SA			
Prénoms			
Forme juridique Société anonyme			
N° SIREN			
Code APE-NAF			
ADRESSE	Rue 7, Avenue Galliéni		
	Code postal et ville 94250 GENTILLY		
Pays FRANCE			
Nationalité Française			
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

Réservé à L'INPI

REMISE DES PIÈCES

DATE **31 MARS 2000**
LIEU **38 INPI GRENOBLE**

N° D'ENREGISTREMENT

NATIONAL ATTRIBUÉ PAR L'INPI

0004174

Vos références pour ce dossier

(facultatif) **B4611**

6 MANDATAIRE

Nom

Prénom

Cabinet ou Société

Cabinet Michel de Beaumont

N° de pouvoir permanent et/ou
de lien contractuel

ADRESSE

Rue

1 Rue Champollion

Code postal et ville

38000

GRENOBLE

N° de téléphone (facultatif)

04.76.51.84.51

N° de télécopie (facultatif)

04.76.44.62.54

Adresse électronique (facultatif)

0004174

cab.beaumont@wanadoo.fr

7 INVENTEUR (S)

Les inventeurs sont les demandeurs

☐ Oui

☒ Non Dans ce cas fournir une désignation d'inventeur (s) séparée

8 RAPPORT DE RECHERCHE

Uniquement pour une demande de brevet (y compris division et transformation)

Établissement immédiat

☒

ou établissement différé

☐

Paiement échelonné de la redevance

Paiement en trois versements, uniquement pour les personnes physiques

☐ Oui

☒ Non

9 RÉDUCTION DU TAUX DES
REDEVANCES

Uniquement pour les personnes physiques

☐ Requête pour la première fois pour cette invention (joindre un avis de non-imposition)

☐ Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :

Si vous avez utilisé l'imprimé "Suite", indiquez le
nombre de pages jointes

1

10 SIGNATURE DU DEMANDEUR
OU DU MANDATAIRE
(Nom et qualité du signataire)

Michel de Beaumont
Mandataire n° 92-1016

M. de Beaumont

VISA DE LA PREFECTURE
OU DE L'INPI

B.R.G.R.

Réservé à L'INPI

REMISE DES PIÈCES

DATE
LIEU

31 MARS 2000
38 INPI GRENOBLE

N° D'ENREGISTREMENT

0004174

NATIONAL ATTRIBUÉ PAR L'INPI

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier(facultatif) **B4611**

4 DÉCLARATION DE PRIORITÉ
OU REQUÊTE DU BÉNÉFICE DE
LA DATE DE DÉPÔT D'UNE
DEMANDE ANTÉRIEURE FRANÇAISE

Pays ou organisation

Date / /

N°

Pays ou organisation

Date / /

N°

Pays ou organisation

Date / /

N°

5 DEMANDEUR

Nom ou dénomination sociale

KONINKLIJKE PHILIPS ELECTRONICS N. V.

Prénoms

Forme juridique

Société de droit Néerlandais

N° SIREN

Code APE-NAF

ADRESSE

Rue

Groenewoudseweg 1

Code postal et ville

5621

BA EINDHOVEN

Pays

PAYS-BAS

Nationalité

Néerlandaise

N° de téléphone (facultatif)

N° de télécopie (facultatif)

Adresse électronique (facultatif)

DEMANDEUR

Nom ou dénomination sociale

Prénoms

Forme juridique

N° SIREN

Code APE-NAF

ADRESSE

Rue

Code postal et ville

Pays

Nationalité

N° de téléphone (facultatif)

N° de télécopie (facultatif)

Adresse électronique (facultatif)

10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE

(Nom et qualité du signataire)

Michel de Beaumont

Mandataire n° 92-1016

VISA DE LA PREFECTURE
OU DE L'INPI

D.R.G.R.

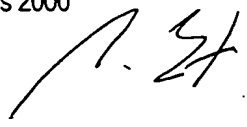
DÉSIGNATION D'INVENTEUR(S) PAGE N° 1/2
(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)		B4611	
N° D'ENREGISTREMENT NATIONAL		000 4174	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
TRANSISTOR MOS DANS UN CIRCUIT INTÉGRÉ ET PROCÉDÉ DE FORMATION DE ZONE ACTIVE			
LE(S) DEMANDEUR(S) STMicroelectronics SA KONINKLIJKE PHILIPS ELECTRONICS N. V.			
DÉSIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N° 1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Walter De Coster	
ADRESSE	Rue	108, Chemin du Retour	
	Code postal et ville	38330	SAINT NAZAIRE LES EYMES, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom		Meindert Lunenburg	
ADRESSE	Rue	54, Place de la Ruchère	
	Code postal et ville	38920	CROLLES, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom		Alain Inard	
ADRESSE	Rue	683, Route Nationale	
	Code postal et ville	38330	SAINT NAZAIRE LES EYMES, FRANCE
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) Michel de Beaumont Mandataire n° 92-1016 Le 31 mars 2000			

DÉSIGNATION D'INVENTEUR(S) PAGE N°2/2
(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)		B4611	
N° D'ENREGISTREMENT NATIONAL		0004174	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
TRANSISTOR MOS DANS UN CIRCUIT INTÉGRÉ ET PROCÉDÉ DE FORMATION DE ZONE ACTIVE			
LE(S) DEMANDEUR(S)			
STMicroelectronics SA			
KONINKLIJKE PHILIPS ELECTRONICS N. V.			
DÉSIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Jos Guelen	
ADRESSE	Rue	Stalmeesterslaan	
	Code postal et ville	NL-6581 GB	MALDEN, PAYS-BAS
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)			
Michel de Beaumont Mandataire n° 92-1016 Le 31 mars 2000 			

THIS PAGE BLANK (USPTO)

TRANSISTOR MOS DANS UN CIRCUIT INTÉGRÉ ET PROCÉDÉ DE FORMATION DE ZONE ACTIVE

La présente invention concerne, de façon générale, les circuits intégrés sur substrat semiconducteur comprenant au moins un composant formé dans une zone active et plus particulièrement la formation de zones actives entourées de zones isolantes. Ces zones isolantes sont obtenues à partir de tranchées remplies d'un matériau isolant et chaque zone active est destinée à recevoir une structure conductrice isolée de celle-ci, par exemple une grille de commande d'un dispositif de type transistor. Le dispositif peut être un transistor MOS formé par toute technologie connue (MOS, CMOS, BiCMOS).

La figure 1 illustre partiellement et schématiquement, en coupe transversale, un substrat semiconducteur 1 sur lequel est formée une ligne conductrice isolée. On considère ci-après à titre d'exemple non-limitatif que cette ligne est une électrode de grille d'un transistor MOS de type latéral.

En figure 1, le substrat 1 comporte une zone active 5 délimitée par une zone isolante 2. La zone isolante 2 a été formée en creusant des tranchées dans le substrat, puis en les remplissant d'un matériau isolant, typiquement de l'oxyde de silicium (SiO_2). Le remplissage est effectué de sorte que le matériau isolant déborde, comme l'indique le trait en pointillés 6, par

rapport au niveau défini par le substrat, d'où il résulte que la zone isolante 2 présente un sommet ayant une surface sensiblement plane à un niveau supérieur à la surface de la zone active 5 ainsi définie, ce sommet se terminant par un rebord sensiblement vertical menant à la zone active 5. Une telle structure de zone isolante 2 peut être classiquement obtenue de diverses manières, comme cela va être exposé ci-après.

La zone isolante 2 présente, au contact de la zone active 5, une zone de fragilisation qui, suite à des surgravures lors d'étapes ultérieures d'élimination de divers matériaux isolants sacrificiels, va provoquer une dépression 7 en périphérie de la zone active 5.

Au niveau d'une zone de grille, une couche mince 3 d'isolant recouvre la surface supérieure de la zone active 5 ainsi que sa partie périphérique découverte par la dépression 7. La couche 3 est recouverte d'une couche 4 d'un matériau conducteur, typiquement du silicium polycristallin. Le matériau conducteur 4 passe sur la zone isolante 2 et sur la zone active 5, et remplit la dépression 7. Le remplissage de la dépression 7 par le matériau de grille a des effets gênants. En effet, à cause de la courbure présentée sur le bord de la zone active 5 par le matériau de grille du fait de cette dépression, la distribution du champ électrique dans la zone de canal située au bord de la zone isolante 2 est perturbée, ce qui détériore, comme cela va être vu ci-après, les performances du transistor.

La figure 2 illustre en vue de dessus un transistor MOS de type latéral. Dans ce cas, la figure 1 correspond à une vue partielle en coupe selon la ligne A-A', limitée par une zone définie par les traits en pointillés. La zone active 5 comporte une zone de canal, située sous une grille de commande 4 et, de part et d'autre de la grille, des régions de source et de drain. Les points de prise de contact de grille, de drain et de source sont mis en évidence par des régions hachurées, dont la localisation est indifférente à l'exposé de la présente invention.

La dépression 7 présentée par la zone isolante 2 se trouve sur toute la périphérie P de la zone active 5. Les portions de la périphérie P sous-jacentes à la grille sont mises en évidence par des damiers 8 et on peut considérer que le transistor MOS de la figure 2 est formé de deux transistors : un transistor central à performances normales, ayant sa grille plane et parallèle à la surface du substrat 1, et, de part et d'autre du transistor central, un transistor parasite à performances détériorées situé le long de la zone isolante 2, présentant une grille non plane s'étendant sur la dépression 7.

La figure 3 représente le courant drain-source I_{ds} , en coordonnées logarithmiques en fonction de la tension grille-source V_{gs} . La courbe C1 correspond au transistor central et présente une tension de seuil normale V_1 et un courant de fuite I_{loff} (courant I_{ds} pour $V_{gs}=0$) normal. La courbe C2 correspond au transistor parasite et présente une tension de seuil V_2 diminuée et un courant de fuite I_{2off} augmenté. Comme le transistor MOS résultant présente une caractéristique correspondant à la somme des deux courbes C1 et C2, sa tension de seuil va être également abaissée et surtout son courant de fuite I_{off} augmenté. Cela provoque des fuites, très gênantes par exemple dans des applications où le transistor considéré fait partie d'une puce alimentée par une pile, comme dans les téléphones portables, la pile étant susceptible alors de se décharger plus rapidement.

Par ailleurs, on notera que les effets néfastes du transistor parasite sont d'autant plus importants que la zone active 5 est étroite. Vu la tendance constante de l'industrie des semiconducteurs à la réduction des dimensions des transistors, l'effet néfaste du transistor parasite ne peut que s'accroître et, à la limite, le transistor central peut ne plus exister si la largeur de la grille devient trop faible, le transistor résultant n'étant plus formé que par le transistor parasite.

C'est pourquoi un objet de la présente invention est de proposer un transistor MOS qui évite les inconvénients de l'art antérieur.

Un autre objet de la présente invention est de proposer un transistor MOS qui présente un seuil de tension non détérioré.

Un autre objet de la présente invention est de proposer un procédé de formation de zone active dans un substrat semi-conducteur permettant d'obtenir une telle structure.

Pour atteindre ces objets ainsi que d'autres, la présente invention prévoit un procédé de formation d'une zone active entourée d'une zone isolante dans un substrat semiconducteur, comprenant les étapes suivantes :

10 a) former, dans le substrat, une tranchée entourant une zone active ;

b) remplir la tranchée d'un matériau isolant de façon à former un rebord dépassant de la surface du substrat à la périphérie de la zone active ;

15 c) former un espaceur à la périphérie dudit rebord ; et

d) effectuer une implantation d'un dopant, d'où il résulte que l'implantation dans la zone située sous l'espaceur est moins profonde que dans le reste de la zone active.

Selon un mode de réalisation de la présente invention, 20 l'espaceur présente un rebord sensiblement vertical ou a une forme en cloche, dont l'épaisseur s'amenuise en s'éloignant dudit rebord.

Selon un mode de réalisation de la présente invention, l'étape d'implantation est suivie d'une étape d'élimination de 25 l'espaceur.

Selon un mode de réalisation de la présente invention, l'étape d'élimination de l'espaceur est précédée ou suivie d'une étape d'implantation d'une autre zone active avec un dopant d'un autre type de conductivité que celle du dopant utilisé à l'étape 30 d).

Selon un mode de réalisation de la présente invention, entre l'étape de remplissage de la tranchée et l'étape c) de formation d'un espaceur, est prévue une étape consistant à former, à la surface de la zone active, un revêtement de protection.

Selon un mode de réalisation de la présente invention, le revêtement de protection résulte de la croissance thermique d'une couche mince d'oxyde de silicium à la surface du substrat.

5 Selon un mode de réalisation de la présente invention, l'espaceur est en nitrure de silicium.

Selon un mode de réalisation de la présente invention, l'espaceur est en silicium polycristallin.

10 La présente invention prévoit également un transistor MOS comportant une zone de canal dopée adjacente à une zone isolante les dopants présents dans la partie de la zone de canal en contact avec la zone isolante étant plus proches de la surface que les dopants présents dans le reste de la zone de canal.

15 La présente invention vise également un circuit intégré incluant un tel transistor et un terminal incluant un tel circuit intégré.

20 Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 illustre en vue en coupe partielle et schématique une zone active réalisée selon l'état de la technique ;

25 la figure 2 illustre en vue de dessus un transistor MOS latéral ;

la figure 3 illustre la caractéristique du courant drain-source en fonction de la tension grille-source du transistor de la figure 2 ; et

30 les figures 4A, 4B, 4B', 4C et 4D illustrent en vue en coupe partielle et schématique un mode de mise en oeuvre de la présente invention.

Par souci de clarté, les mêmes éléments ont été désignés par les mêmes références aux différentes figures et, de plus, comme cela est habituel dans la représentation des circuits

intégrés, les figures 1, 2, 4A, 4B, 4B', 4C et 4D ne sont pas tracées à l'échelle.

Le procédé selon l'invention commence par la définition d'une zone active dans le substrat 10, par exemple en silicium monocristallin, par une zone isolante 11 (figure 4A).

La zone 11 est formée en creusant dans le substrat 10 des tranchées puis en les remplissant d'un matériau isolant. La zone 11 peut être obtenue par tout procédé classique connu. Il s'agira, par exemple, de la séquence des étapes suivantes : dépôt d'un masque, par exemple en nitrure de silicium (Si_3N_4), ayant typiquement une épaisseur de l'ordre de quelques dizaines de nanomètres, gravure de ce masque de façon à ne le laisser subsister qu'à l'emplacement de la zone active, creusement de tranchées à l'emplacement de la zone isolante, remplissage des tranchées par un matériau isolant, planarisation en s'alignant sur le niveau des parties restantes du masque, puis enlèvement du masque restant.

Dans tous les cas, la zone isolante est réalisée de sorte que le matériau isolant déborde verticalement des tranchées, d'où il résulte que sa surface supérieure se trouve à un niveau supérieur à celui de la zone active. La zone 11 présente donc un rebord dépassant de la surface du substrat 10 à la périphérie de la zone active.

On met ensuite en oeuvre diverses étapes de nettoyage de l'état de la technique, puis on forme une couche sacrificielle 12 de protection de la zone active. Cette couche 12 est par exemple un oxyde thermique amené à croître sur une épaisseur typiquement comprise entre 5 et 15 nm, par exemple de 10 nm.

On dépose ensuite sur l'ensemble de la structure une couche 13 d'un matériau gravable sélectivement par rapport au matériau isolant de la zone isolante 11 et par rapport à la couche sacrificielle 12. La couche 13, par exemple isolante, de préférence en nitrure de silicium (Si_3N_4), a une épaisseur choisie de la façon exposée ci-après. On notera que, suite à son dépôt, la couche 13 présente une sur-épaisseur au niveau du

rebord présenté par la zone isolante 11 à la périphérie de la zone active.

Aux étapes suivantes, illustrées en figures 4B et 4B', la couche 13 est gravée de façon à éliminer celle-ci de la surface supérieure des zones 11. Lors de cette gravure, pendant laquelle les matériaux isolants de la zone 11 et de la couche sacrificielle 12 servent d'arrêt de gravure, on laisse en place un espaceur périphérique 14, du fait de la sur-épaisseur de la couche 13 au niveau du rebord entre la surface supérieure de la zone 11 et la zone active.

Selon un mode de réalisation illustré en figure 4B, la gravure de la couche 13 est effectuée de sorte que l'espaceur 14 s'amenuise depuis le rebord de la zone 11 à la périphérie de la zone active vers la partie centrale de cette dernière. Alors, la partie de l'espaceur 14 distale du rebord de la zone 11, au lieu de présenter une paroi sensiblement verticale, présente une forme en "cloche". L'homme de l'art saura mettre en oeuvre des procédés de gravure propres à moduler l'amenuisement de l'épaisseur de la partie inférieure de l'espaceur 14. L'homme de l'art saura également choisir les conditions de gravure et l'épaisseur de la couche isolante épaisse 13 de façon à obtenir un espaceur 14 de largeur voulue. On notera que l'espaceur 14 formé peut également présenter une paroi sensiblement verticale, comme cela est illustré en figure 4B'.

Aux étapes suivantes, illustrées à la figure 4C, on implante la zone active. Dans l'exemple illustré, de formation d'un transistor MOS à canal N, le substrat est de type P et la zone active représentée comporte un caisson de type N. L'implantation de la zone active s'effectue tandis que l'espaceur 14 est en place à la périphérie de la zone active, comme l'illustrent les flèches verticales descendantes, d'où il résulte que les dopants implantés sont ralentis et pénètrent moins profondément dans le substrat 10 à la périphérie, dans la zone recouverte de l'espaceur. Selon des techniques connues, on effectue au moins deux implantations successives de dopants de même nature : une pre-

mière implantation à haute énergie destinée à former un caisson 15 de type N profond et faiblement dopé, atteignant le substrat 10 en deçà de la zone 11, et au moins une implantation à plus faible énergie destinée à ajuster plus spécifiquement le dopage 5 de la zone active. Le profil 16 résultant de cette deuxième implantation est modifié en périphérie du fait de la présence de l'espaceur 14.

On notera que l'espaceur 14 peut être maintenu en place lors de la formation, dans une autre zone active, de caissons de 10 type différent, par exemple P. Selon un autre mode de réalisation, l'espaceur 14 n'est maintenu en place que pendant la réalisation des caissons de type N dans le substrat de type P.

Aux étapes suivantes, illustrées à la figure 4D, le procédé se poursuit avec l'élimination de l'espaceur 14. Ensuite, 15 la séquence des étapes suivantes est classique.

Ainsi, après des opérations de nettoyage qui provoquent classiquement la formation d'une dépression de la zone 11 à la périphérie de la zone active, on amène à croître un isolant de grille 17. Enfin, on dépose et on grave une couche épaisse 18 20 d'un matériau conducteur, par exemple du silicium polycristallin, de façon à former la grille de la structure. La couche 18 remplit la dépression de la zone 11.

Grâce à la modification du profil de la région implantée 16, les effets du transistor parasite sur le fonctionnement 25 du transistor résultant sont considérablement réduits.

En effet, du fait que les bords de la zone active présentent une concentration de dopants plus près de la surface, la tension de seuil du transistor parasite se trouve relevée et cela compense la baisse provoquée par le fait que le matériau de grille remplit la dépression périphérique de la zone active. 30 Ainsi, le transistor MOS résultant ne présente pas d'abaissement de sa tension de seuil et son courant de fuite Ioff n'augmente pas. De façon générale, les caractéristiques du transistor MOS formé ne sont pas dégradées et correspondent sensiblement à 35 celles du transistor central.

Par ailleurs, l'influence néfaste du transistor parasite périphérique étant considérablement réduite, les dimensions de la zone active peuvent avantageusement être diminuées. .

Un autre avantage de la présente invention est de permettre, après le dopage de la zone active, un "rabotage" du sommet de la zone isolante, qui peut même présenter une surface légèrement en dessous de la surface du substrat. Au contraire de l'art antérieur, l'accentuation de la dépression de la zone isolante 11 périphérique à la zone active provoquée par un tel rabotage n'altère pas les caractéristiques du transistor global du fait du profil de dopage modifié. Cela permet une meilleure planarisation, utile dans les étapes ultérieures de la fabrication du circuit intégré.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, on a supposé précédemment que la couche 13 est en un matériau isolant, de préférence du nitrure de silicium. On pourra choisir un autre matériau, isolant ou non, pour autant que l'on respecte les conditions de gravure sélective exposées précédemment. Il pourra par exemple s'agir de silicium polycristallin ou amorphe.

De plus, on a décrit et illustré précédemment les principes de l'invention appliqués à la formation d'un transistor MOS. L'homme de l'art notera toutefois que, de façon générale, la présente invention s'applique à la fabrication de tout type de dispositif dès que celui-ci comporte une zone active définie par des tranchées d'isolement.

L'homme de l'art saura également adapter les matériaux décrits à une filière de fabrication spécifique et sélectionner l'ordre de réalisation des diverses étapes de dopage, ainsi que les niveaux de dopage des diverses couches semiconductrices en fonction des performances recherchées.

REVENDICATIONS

1. Procédé de formation d'une zone active entourée d'une zone isolante (11) dans un substrat semiconducteur (10), comprenant les étapes suivantes :

5 a) former, dans le substrat, une tranchée entourant une zone active ;

b) remplir la tranchée d'un matériau isolant (11) de façon à former un rebord dépassant de la surface du substrat à la périphérie de la zone active ;

10 c) former un espaceur (14) à la périphérie dudit rebord ; et

d) effectuer une implantation d'un dopant, d'où il résulte que l'implantation dans la zone située sous l'espaceur est moins profonde que dans le reste de la zone active.

15 2. Procédé selon la revendication 1, dans lequel l'espaceur (14) présente un rebord sensiblement vertical ou a une forme en cloche, dont l'épaisseur s'amenuise en s'éloignant dudit rebord.

20 3. Procédé selon la revendication 1, dans lequel l'étape d'implantation est suivie d'une étape d'élimination de l'espaceur (14).

25 4. Procédé selon la revendication 3, dans lequel l'étape d'élimination de l'espaceur (14) est précédée ou suivie d'une étape d'implantation d'une autre zone active avec un dopant d'un autre type de conductivité que celle du dopant utilisé à l'étape d).

5. Procédé selon la revendication 1, dans lequel, entre l'étape de remplissage de la tranchée et l'étape c) de formation d'un espaceur, est prévue une étape consistant à former, à la surface de la zone active, un revêtement de protection (12).

30 6. Procédé selon la revendication 5, dans lequel le revêtement de protection (12) résulte de la croissance thermique d'une couche mince d'oxyde de silicium à la surface du substrat (10).

7. Procédé selon l'une quelconque des revendications 1 à 6, dans lequel l'espaceur est en nitrure de silicium.

8. Procédé selon l'une quelconque des revendications 1 à 6, dans lequel l'espaceur (14) est en silicium polycristallin.

5 9. Transistor MOS comportant une zone de canal dopée adjacente à une zone isolante (11), caractérisé en ce que les dopants présents dans la partie de la zone de canal en contact avec la zone isolante sont plus proches de la surface que les dopants présents dans le reste de la zone de canal.

10 10. Circuit intégré sur un substrat semiconducteur comprenant au moins un transistor selon la revendication 9.

11. Terminal mobile comprenant un circuit intégré selon la revendication 10.

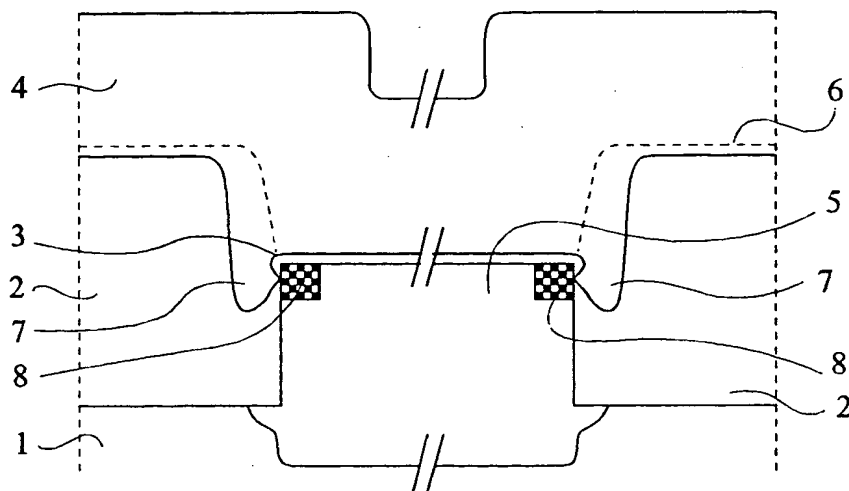


Fig 1

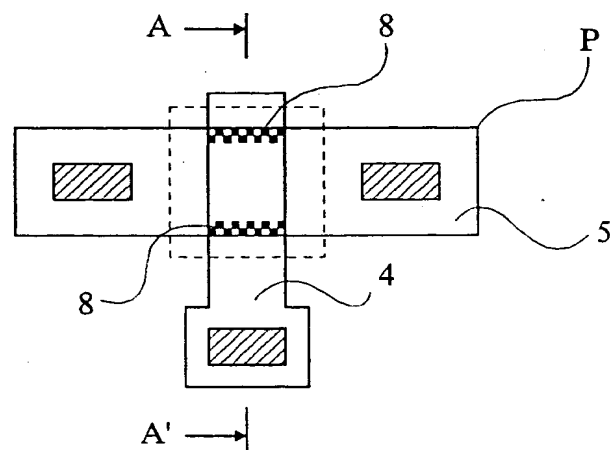


Fig 2

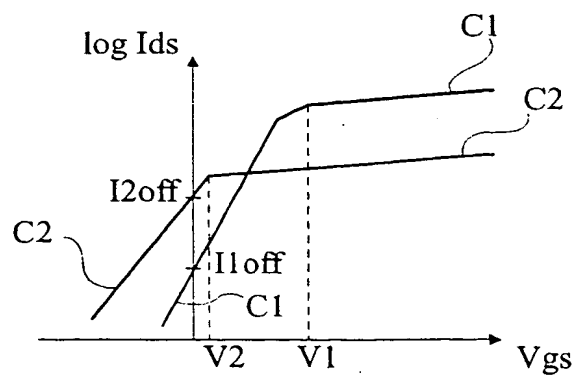


Fig 3

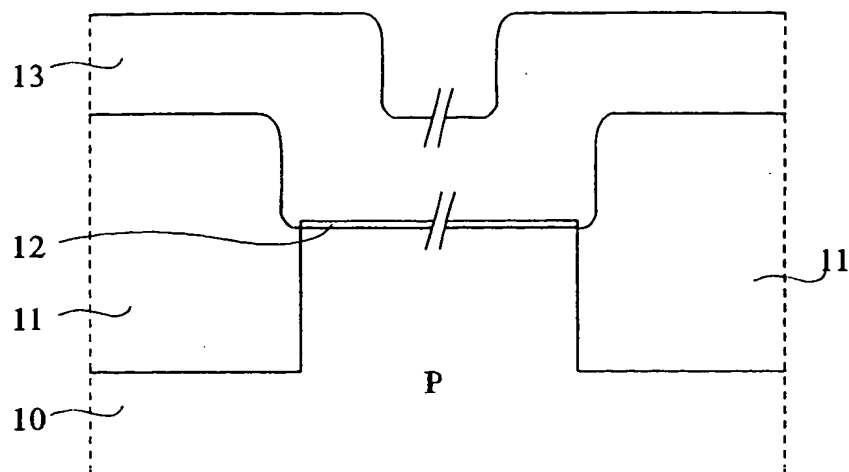


Fig 4A

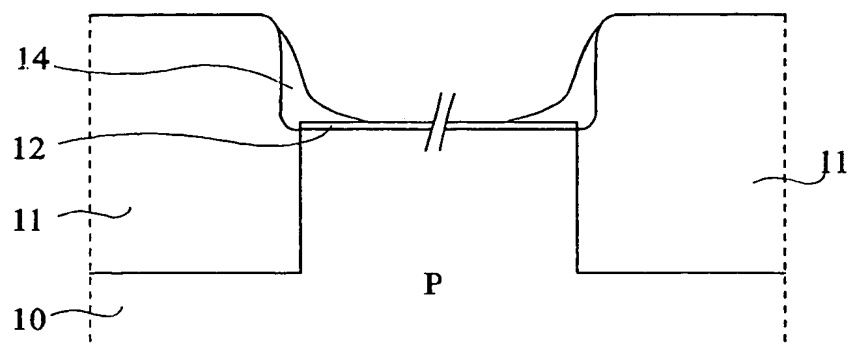


Fig 4B

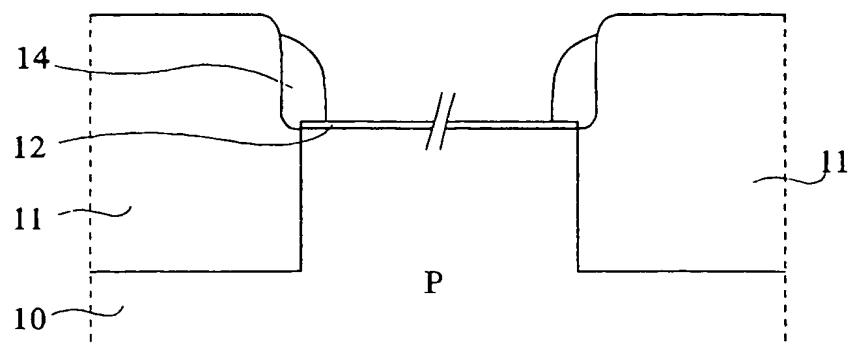


Fig 4B'

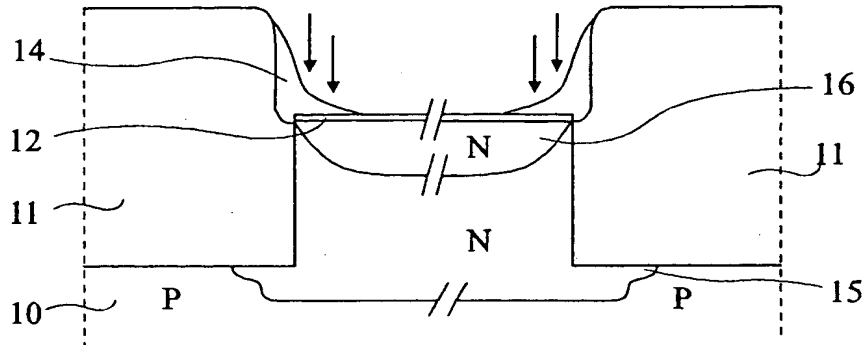


Fig 4C

